

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DOCUMENT 1/2
DOCUMENT NUMBER
@: unavailable

DETAIL JAPANESE

1. JP,07-073700,A(1995)
2. JP,10-125092,A(1998)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-073700

(43)Date of publication of application : 17.03.1995

(51)Int.Cl. G11C 29/00
G01R 31/28
G11C 11/401
G11C 16/06

(21)Application number : 05-
219746

(71)Applicant : ADVANTEST CORP

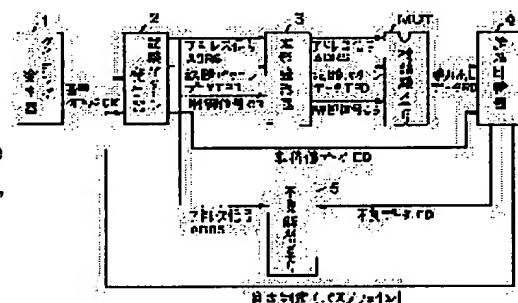
(22)Date of filing : 03.09.1993 (72)Inventor : KOBAYASHI SHINICHI
OSAWA TOSHIMI

(54) DEVICE FOR TESTING FLASH MEMORY

(57)Abstract:

PURPOSE: To shorten an erase testing time by using a signal AFail in which all flash memories to be erase-tested are failed and the signal OFail in which any memory is failed and controlling the sequence of the pattern generation.

CONSTITUTION: After the erase operation is performed for the whole or a block of the flash memory MUT, an address is specified for a first address within an objective range. The normal/defective condition is decided by an output of a logical comparator 4. At the time of specifying the address, a pattern for deciding the address after the address is generated by a test pattern generator 2, and the normal/defective condition is decided continuously. The generated address and a loop count value used for generating the address are held until a decision result is returned from the comparator 4. Since only when the decision result is the AFail, the pattern for the erase operation is generated, a decision stand-by time at every one time is eliminated. Further, no test is performed for the address passing the normal/defective condition decision of the erase operation after a second time. Thus, the erase test time is shortened.



BACK NEXT

MENU SEARCH

HELP

LEGAL STATUS

[Date of request for examination] 09.08.2000

[Date of sending the examiner's decision of rejection] 01.10.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-73700

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl.⁵

G 1 1 C 29/00

G 0 1 R 31/28

G 1 1 C 11/401

識別記号

3 0 3 F 6866-5L

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

B

G 1 1 C 11/34

3 7 1 E

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-219746

(22) 出願日 平成5年(1993)9月3日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 小林 信一

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(72) 発明者 大沢 俊美

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

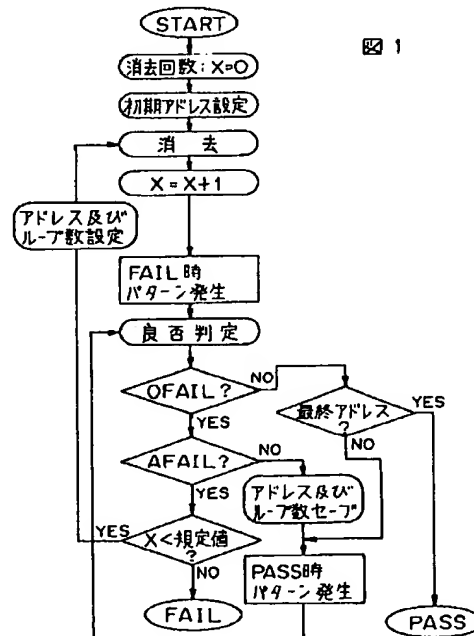
(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 フラッシュメモリ試験装置

(57) 【要約】

【目的】 消去試験時間の短縮されたフラッシュメモリ試験装置を提供する。

【構成】 同時並列的に消去試験される複数のフラッシュメモリMUTから読みだされる読み出しデータRDと試験パターン発生器2から出力される期待値データEDとを論理比較器4において比較し、論理比較器4から試験パターン発生器2に対して読みだしデータRDと期待値データEDとが不一致の時はフェイル信号が出力されると共に一致の時はパス信号が出力されるフラッシュメモリ試験装置において、消去試験されるすべてのフラッシュメモリMUTがフェイルである信号AFAILと、メモリMUTの何れかがフェイルである信号OFAILを使用してパターン発生シーケンスを制御するフラッシュメモリ試験装置。



【特許請求の範囲】

【請求項1】 同時並列的に消去試験される複数のフラッシュメモリから読みだされる読み出しデータと試験パターン発生器から出力される期待値データとを論理比較器において比較し、論理比較器4から試験パターン発生器に対して読みだしデータと期待値データとが不一致の時はフェイル信号が出力されると共に一致の時はパス信号が出力されるフラッシュメモリ試験装置において、消去試験されるすべてのフラッシュメモリがフェイルである信号と、メモリの何れかがフェイルである信号を使用してパターン発生シーケンスを制御することを特徴とするフラッシュメモリ試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、フラッシュメモリ試験装置に関し、特に、フラッシュメモリの消去試験における試験時間を短縮するフラッシュメモリ試験装置に関する。

【0002】

【従来の技術】 図2は一般の半導体メモリ試験装置の基本構成を示す図である。半導体メモリ試験装置はタイミング発生器1、試験パターン発生器2、波形整形器3、論理比較器4、および不良解析メモリ5により構成され、被試験メモリMUTの試験を行なう。

【0003】 試験パターン発生器2はタイミング発生器1が発生する基準クロックCKに従って被試験メモリMUTに供給するアドレス信号ADRS、試験パターンデータTPD、制御信号CSを出力する。これらの信号は、波形整形器3に与えられ、ここにおいて試験に必要な波形に整形されてから被試験メモリMUTに印加される。

【0004】 被試験メモリMUTについて、制御信号CSにより試験パターンデータTPDの書き込み、読みだし制御が行なわれる。被試験メモリMUTから読み出された読みだしデータRDは論理比較器4に与えられ、ここにおいてパターン発生器2から出力される期待値データEDと読みだしデータRDとが比較され、その一致、不一致により被試験メモリMUTの良否（パス、フェイル）判定をする。

【0005】 不一致の場合、論理比較器4から不良解析メモリ5に不良データFDが供給され、試験パターン発生器2の発生するアドレス信号ADRSにより指定される不良解析メモリ5内のメモリセルその不良データFDが記憶される。試験終了後、この不良解析メモリ5の記憶内容を解析する。図3は試験パターン発生器2の内部構造を示す。試験パターン発生器2はアドレス発生器21、試験パターンデータ発生器22、制御信号発生器23、アドレス変換器24、およびシーケンス制御器25より成る。シーケンス制御器25はアドレス発生器21、試験パターンデータ発生器22、制御信号発生器2

3の動作を制御する。

【0006】 シーケンス制御器25は試験パターンデータを発生する一連の命令が格納されるインストラクションメモリ251、メモリ251のアドレスを指定するプログラムカウンタ252、カウンタ252をメモリ251に格納される命令に基づいて制御するプログラムカウンタコントローラ253より成る。インストラクションメモリ251の各アドレスのメモリ領域はシーケンス制御命令エリア、アドレス演算命令エリア、データ演算命令エリア、および制御信号発生命令エリアより成る。

【0007】 プログラムカウンタ252の出力するアドレスによりインストラクションメモリ251がアクセスされ、アクセスされたところの内容がプログラムカウンタコントローラ253、アドレス発生器21、試験パターンデータ発生器22、或は制御信号発生器23の全てに供給される。プログラムカウンタコントローラ253は読みだしたシーケンス制御命令をデコードしてプログラムカウンタ252をインクリメント、ホールドし、或は読みだしたアドレスをロードして新たなアドレスを発生することによりシーケンス発生を実行している。

【0008】 ここで、フラッシュメモリについて説明する。フラッシュメモリは、その構造上、1回の書き込み動作によりデータ書き込みに成功するとは限らないので通常は複数回書き込み動作をする必要がある。書き込みに成功するまでの回数は被試験メモリMUTの種類により相違しており、また同種の被試験メモリMUTであってもアドレス毎に相違する。そして、フラッシュメモリのデータ書き込み試験は、規定回数以内でデータを書き込みたいすべてのメモリセルにデータを書き込むことができた場合、このメモリを良品と判断する。データ消去試験についても同様であり、規定回数以内においてデータを消去したいすべてのメモリセルについてデータを消去することができた場合、このメモリを良品と判断する。

【0009】 ここで、フラッシュメモリのデータ消去試験には、メモリ全体を一括消去する試験或はメモリをブロック毎に消去する試験がある。複数のフラッシュメモリを同時並列的に消去試験する例を、特に、図4のフローチャートを参照して説明する。同時並列的に消去試験される複数のフラッシュメモリMUTそれぞれの全体或はブロック毎を対象として消去動作を行なった後、この消去動作の対象とされた範囲内の最初アドレスに対してアドレス指定し、論理比較器4から出力される良否判定の信号を認識する。これがパスである場合、次のアドレスを指定してその良否判定に進む。この良否判定がパスである場合、更に第3のアドレスを指定してその良否判定に進む。この良否判定は、判定がパスである限り消去動作の対象とされた範囲内の最終アドレスに到るまで繰り返して実施される。最終アドレスの判定がパスである場合、当該フラッシュメモリMUTの全体或はプロ

ックはパスと判定される。

【0010】最初のアドレスに対してアドレス指定してその判定がパスではなくしてフェイルである場合、消去動作に進む。再び消去動作を施された後の判定がパスであれば上述された通り次のアドレスを指定してその良否判定に進むのであるが、フェイルであれば更に消去動作が施され、フェイルが継続する限り規定回数に到るまで消去動作が施される。良否判定がフェイルであって消去動作が規定回数に到達した場合、当該フラッシュメモリMUTの全体或はブロックはここでフェイルと判定される。最終アドレスに達しない途中のアドレスにおいて良否判定がフェイルであった場合も同様である。なお、Xは消去動作1回につき1だけ歩進する。

【0011】

【発明が解決しようとする課題】上述の通り、良否判定がパスである場合は次のアドレスを指定し、フェイルである場合は消去動作に進む。換言すれば、当該アドレスについての判定結果に基づいて消去試験されるメモリMUTに与えるパターンを決定している。即ち、試験されるメモリMUTのアドレスを指定して当該アドレスの良否判定をし、その判定結果が試験パターン発生器2に入力され、この入力に基づいてパターンを決定してこれを用意するのであるから、これに到る待機時間は長くなる。

【0012】そして、試験対象アドレスの途中のアドレスの良否判定がフェイルであった場合、更なる消去動作後の良否判定はそれ以前の消去動作によりパスとされたアドレスについても最初のアドレスから再びなされることから、その分試験時間は長くなる。一度びパスとされたアドレスについては、本来、良否判定をする必要はないのである。

【0013】この発明は、上述の通りの問題を解消したフラッシュメモリ試験装置を提供するものである。

【0014】

【課題を解決するための手段】同時並列的に消去試験される複数のフラッシュメモリMUTから読みだされる読み出しデータRDと試験パターン発生器2から出力される期待値データEDとを論理比較器4において比較し、論理比較器4から試験パターン発生器2に対して読みだしデータRDと期待値データEDとが不一致の時はフェイル信号が出力されると共に一致の時はパス信号が出力されるフラッシュメモリ試験装置において、消去試験されるすべてのフラッシュメモリMUTがフェイルである信号AFAILと、メモリMUTの何れかがフェイルである信号OFAILを使用してパターン発生シーケンスを制御するフラッシュメモリ試験装置を構成した。

【0015】

【実施例】この発明の実施例を特に図1のフローチャートを参照して説明する。これを要約するに、論理比較器4より上述の従来例におけるパス/フェイル判定結果に

加えて、消去試験されるすべてのフラッシュメモリMUTがフェイルである信号AFAILと、消去動作後にメモリMUTの何れかがフェイルである信号OFAILを使用してパターン発生シーケンスを制御することにより、総計の消去試験時間を短縮することができる。以下、この発明の実施例を詳細に説明する。

【0016】まず、同時並列的に消去試験される複数のフラッシュメモリMUTそれぞれの全体或はブロック毎を対象として消去動作を行なった後、この消去動作の対象とされた範囲内の最初のアドレスに対してアドレス指定し、論理比較器4から出力される良否判定の信号に基づいて判定する。ここまでは図4を参照して説明された従来例と同様である。この発明は、このアドレス指定をした時、試験パターン発生器2はそのアドレス以降のアドレスを判定するためのパターンを発生し、つづけて良否判定を実施する。そして、発生したアドレスおよびアドレス発生に使用するループカウンタの値を論理比較器4から判定結果が戻ってくるまで保持しておく。

【0017】メモリMUTの何れかがフェイルであるOFAILが論理比較器4から最初に出力された場合、試験パターン発生器2は上述した保持されているアドレスおよびループカウンタの値を記憶する。論理比較器4から出力される良否判定の結果がすべてのメモリMUTがフェイルであるAFAILである場合、試験パターン発生器2は消去動作用のパターンを発生し、メモリMUTに与える。この消去動作が終了した後、OFAILにより記憶したループカウンタの値をループカウンタにロードし、記憶していた最初にフェイルしたアドレスからアドレス指定して良否判定する。ここにおいてアドレス指定がなされるのは、前回にフェイルして試験パターン発生器2に記憶されたアドレス以降についてのみであり、既にパスしているアドレスはアドレス指定されない。

【0018】

【発明の効果】以上の通りであって、フラッシュメモリ試験装置の従来例においては論理比較器4からの判定結果に基づいて次に与えるパターンを準備するものであった。これに対して、この発明のフラッシュメモリ試験装置は、判定対象アドレスの判定結果を待たずにそれ以降のアドレスの良否判定を行い、判定結果がAFAILのときのみAFAIL時パターン即ち消去動作パターンを発生するので、1回毎の判定のパターン準備に必要とされる待機時間が不要となり、その分だけ消去試験時間は短縮される。そして、2回目以降の消去動作の良否判定を既にパスしたアドレスについては実施しないので、この点からも消去試験時間は短縮されることとなる。

【図面の簡単な説明】

【図1】この発明の実施例をを説明するフローチャート。

【図2】フラッシュメモリ試験装置のブロック図。

【図3】試験パターン発生器を示す図。

【図4】従来例を説明するフローチャート。

【符号の説明】

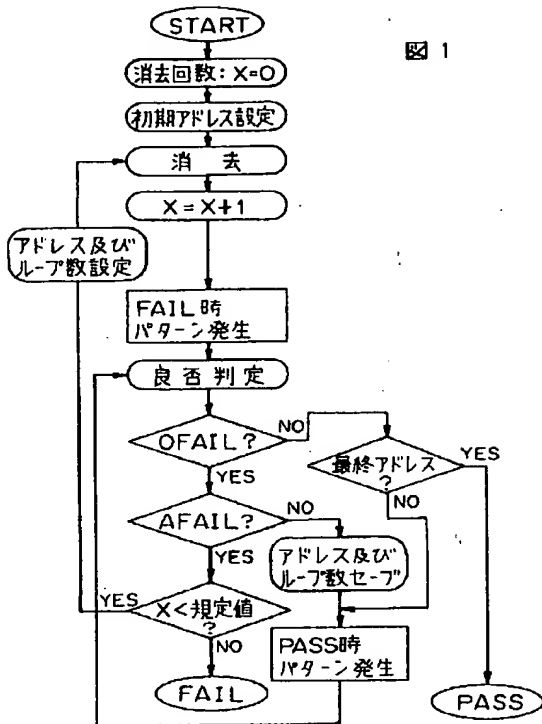
2 試験パターン発生器
4 論理比較器
MUT フラッシュメモリ
RD 読み出しデータ

ED 期待値データ

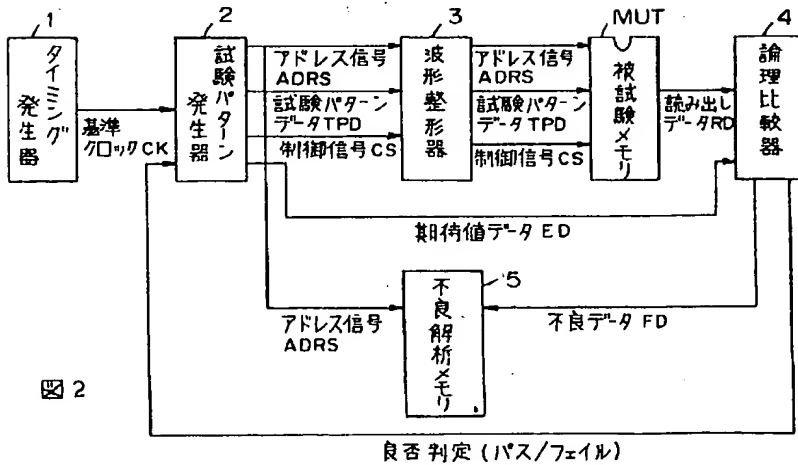
AFAIL すべてのメモリMUTがフェイルである信号

OFAIL メモリMUTの何れかがフェイルである信号

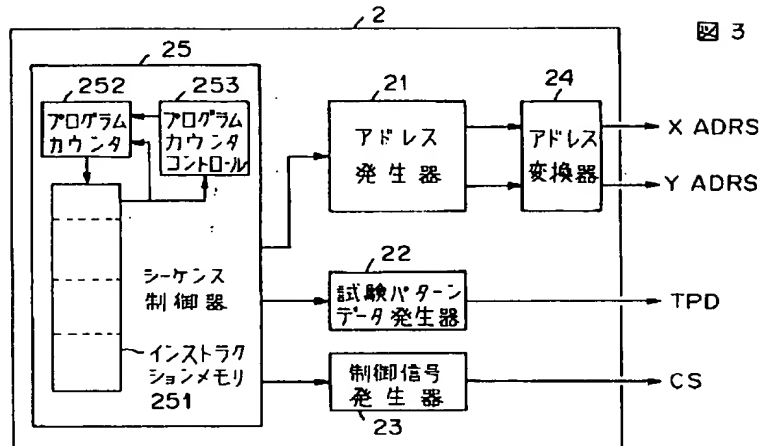
【図1】



【図2】



【図3】



フロントページの続き

(51)Int. Cl.⁶
G11C 16/06

識別記号 庁内整理番号

F I

技術表示箇所

G11C 17/00

309 E